

半導体ナノワイヤ接合非線形特性を適用した新ナノフリップフロップ回路の実現

葛西 誠也 [北海道大学大学院情報科学研究科/准教授]
趙 洪泉 [北海道大学量子集積エレクトロニクス研究センター/研究員]
佐野 栄一 [北海道大学量子集積エレクトロニクス研究センター/教授]

背景・目的

ユビキタス ICT ではあらゆるモノに情報処理通信機能を付加するため、 $100\mu\text{W}$ 以下の省電力性と mm 以下のサイズの情報処理プロセッサが必要となっている。申請者らは、半導体ナノワイヤネットワークを微細ゲートで制御し二分決定グラフ(BDD)論理アーキテクチャを実装する、新しい超低消費電力新規ナノデバイス集積回路を開発した。これを利用した新しいシステムの実現には、レジスタやカウンタ機能を担うフリップフロップ(FF)回路が必要である。

本研究の目的は、半導体ナノワイヤ接合の非線形性特性を利用した新しい低消費電力、高速かつコンパクトなフリップフロップ回路を実現することである。

内容・方法

各種フリップフロップ回路の基本要素である NAND ゲートを、3 分岐ナノワイヤ接合を利用し実現する。3 分岐ナノワイヤ接合は中央枝を出力、左右枝を入力とし、左右同時に入力電圧を印加すると、出力電位は常に2つの入力のうち低いほうの電位に従う。これは一般的な受動回路では説明できない特異な特性で、それ自身が AND 回路として機能する。AND の反転出力が NAND である。信号反転にはナノワイヤを微細ショットキーラップゲート(WPG)で制御した構造を FET として実装したインバータ回路を適用する。以上の3分岐構造とインバータをハイブリッド集積し、フリップフロップの基本となる NAND 機能をデモンストレーションする。さらに、ナノプロセッサの母体構造である蜂の巣状のナノワイヤネットワークを利用して実装できるよう、3分岐ナノワイヤ接合とインバータ回路オンチップ集積系を設計し、フリップフロップ回路の実装を試みる。

結果・成果

本研究の主要成果は以下の3つである。

(1) 3分岐ナノワイヤ接合の室温での非線形メカニズムの解明と制御

3分岐ナノワイヤ接合の非線形特性は、キャリアのパリスティック伝導により生じると予測されていたが、実際にはパリスティック伝導が破壊されるサイズや高温下でも非線形特性が観測される。回路応用のためには本機構の解明が必要である。構造サイズ依存性や温度依存

性の詳細な調査検討を行い、その結果、化合物半導体ナノワイヤの表面では表面電位が固定される材料特有の現象によって入力枝抵抗の非対称性を生み出すという機構を見出した。

本機構に基づき、ナノワイヤ表面の電位をショットキーラップゲートで変調することにより積極的に非線形特性を制御するアプローチを検討し、ゲート電圧により2次非線形係数 α を制御可能であることを理論・実験の両面より明らかにした。

(2) NAND 機能の実現と低消費電力化

WPG 制御された3分岐ナノワイヤ接合を2つ集積化し、NAND ゲートを実現した。従来 CMOS の NAND 回路と比較しシンプルな構成で実現され、回路動作点を決めるゲートしきい値制御の精度が大幅に緩和された。この結果は回路の大規模化を可能とするもので、ナノワイヤに基づくプロセッサ実現のためには極めて重要な結果である。また、ゲート制御により非線形特性の2次特性係数を増大することにより、入力電圧振幅を小さく設定可能になった。このことは電圧振幅の二乗の依存性を有するダイナミック消費電力を大幅に低減する。

(3) 回路設計のための TBJ デバイスモデル開発とシミュレーションによる SR-FF 機能実証

回路の大規模化に伴い、回路シミュレータを用いた設計が不可欠になる。このため、3分岐ナノワイヤ接合のデバイスモデルを(1)の成果に基づき2種類開発した。一つは、キャリア輸送機構に基づき物理レベルから構築したモデルである。解析関数と唯一のパラメータのみで、広範囲の入力電圧領域において現象を正確に記述でき、温度特性も再現する。もう一つは、表面電位制御ゲートを設けた構造を記述するモデルである。2つのFETの組み合わせで表現される。いずれもコンパクトでかつ素子特性を良く再現し、現有の回路シミュレータによる設計において十分な精度を有する。そして、3分岐ナノワイヤ接合による SR-FF の回路レイアウトを完成させるとともに、本デバイスを取り入れた回路シミュレータにより TBJ デバイス集積 SR-FF を設計・実装し正しい動作に成功した。

なお、以上の成果は、査読付英語論文(1件)、国際学会(1件)、国内学会(2件)で公表された。

今後の展望

具体的な研究内容としては、シミュレーションにより設計最適化、以上の結果に基づき回路試作と動作の実験的実証を行う。さらに、動作速度および低消費電力の実証と、D-FF などの高度機能フリップフロップ回路の実現を試みる。これらの研究を通して、ナノワイヤネットワークとグラフ論理回路との集積による新アーキテクチャ信号処理システムの実現につなげる。ナノワイヤネットワークという新物理構造とナノワイヤ接合の新機能の融合により、従来回路やシステムでは成し得ない、ナノテクの積極的に活用した新 LSI 技術が拓かれる。