

選択的半導体結晶成長法による量子集積回路作製プロセスの研究開発

佐藤 威友 [北海道大学大学院工学研究科/助手]

背景・目的

高度情報技術 (IT) 社会の発展にともない、今までにない高速かつ大容量の情報処理通信を実現する新しい半導体デバイスや、その集積化技術の必要性が高まっている。なかでも、半導体量子構造を基本とする量子ナノデバイスは、従来不可能であった高度な演算や、低消費電力での動作が可能であり、次世代集積回路を構成するキーデバイスとして注目されている。

本研究の目的は、MBE選択成長法を中心とした低損傷手法をベースに、量子集積回路作製プロセスを開発することである。

内容・方法

あらかじめ加工を施したGaAs (001)、(111) B基板上に、MBE選択成長法により、種々の方向にそって位置およびサイズの制御された量子細線構造の形成を行う。次に、それらの細線方向を組み合わせた、高密度六角形配列の加工基板を用いて、ヘキサゴナル細線ネットワークの作製を試みる。

成長の前処理として、はじめに、大気中で有機洗浄とアルカリ溶液処理をほどこした。さらにMBEチャンバーに導入後、As照射下で加熱処理を行い、試料表面の自然酸化膜を除去した。材料の供給は、加工基板上にプレーナー基板上への成長量に換算して350nmのGaAsバッファ層をはじめに成長し、GaAsリッジ構造を形成した。引き続き、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}/\text{GaAs}/\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層を成長し、AlGaAs障壁層に挟まれた埋め込み型GaAs量子細線を形成した。

作製した量子細線の評価には、走査型電子顕微鏡 (SEM)、原子間力顕微鏡 (AFM)、フォトルミネッセンス法 (PL法)、カソードルミネッセンス法 (CL法) を用いた。

結果・成果

はじめに、GaAs (001) 面上に、 $\langle -110 \rangle$ 、 $\langle 510 \rangle$ 方向に沿ったメサストライプ加工基板を作製し、細線の成長過程を調べた。GaAsバッファ層の成長により、(113) A面と(111) A面からなるリッジ構造が形成される。さらにその上にAlGaAs層を成長することで、下地の障壁層となるAlGaAsリッジ構造が形成される。GaAs量子細線はAlGaAsリッジ頂上の(113) 面上に選択的に形成されるため、細線幅は、(111) 面と(113) 面上へ成長される2つの成長領域の境界により制限される。 $\langle 510 \rangle$ 方向に対しても同様に、GaAsバッファ層とAlGaAs/GaAs/AlGaAs層を成長することにより、加工寸法よりも細くなったリッジ頂上部にGaAs細線が形成されることが分かった。また、PL法およびCL法による評価の結果、非常に均一な細線構造が形成されていることを確認した。

AlGaAs障壁層内に形成される成長境界面の角度 θ は、細線幅の制御にもっとも重要なパラメーターである。角度 θ と成長時の基板温度 T_{sub} の関係を調べたところ、成長境界面は成長温度に強く依存し変化することがわかった。これは、リッジを形成する(111) A面と(113) A面上での成長速度が基板温度により大きく変わるためである。基板温度を高くすることにより、境界面角度 θ は減少する。 $\langle 510 \rangle$ 方向細線についても同様の傾向を示す。これは、計算機シミュレーションを用いた量子細線の形成過程についての理論的な検討結果とよく一致する。

次に、 $\langle -110 \rangle$ 方向および $\langle 510 \rangle$ 方向細線からなるGaAsヘキサゴナル細線ネットワークの形成を試みた。ヘキサゴナルパターンの密度は、ノードデバイス数に換算して、それぞれ $4 \times 10^6 \text{ cm}^{-2}$ と $3 \times 10^8 \text{ cm}^{-2}$ である。複雑な加工パターンに従い選択的な成長がなされており、広範囲にわたり均一な構造が形成されることが分かった。また、成長後の表面モロロジーは、成長基板温度、成長中のV族とIII族元素の材料供給比 (V/III比) により大きく変化することが分かった。基板温度を上げてV/III比を下げ、III族元素の表面拡散を促すことにより、表面の平坦性は向上する。PL法およびCL法による評価結果から、1.57 eV、1.54 eVのエネルギー位置に、 $\langle -110 \rangle$ 方向細線および、 $\langle 510 \rangle$ 方向細線からの発光を観測した。また、広範囲に渡って均一な量子構造が形成されることがわかった。

同様に、GaAs (111) B面加工基板を用いて、MBE選択成長による細線ネットワークの形成を試みた。(3-11) サイドファセットを持つメサ型加工基板上へ材料を供給することにより、幅の細くなった(111) B面頂上部に選択的にGaAs細線が形成される。(111) B面においても、MBE選択成長法により、広範囲にわたり加工パターンに従った均一な構造が形成可能であることが分かった。今回の実験では、基板温度700℃、V/III比10近傍で平坦性に優れた構造が得られた。これは、(111) B面上への選択成長では、(001) 面上の成長条件に比べ、基板温度を高くしV/III比を小さくすることが必要であることを示している。

(111) B加工基板上に作製したヘキサゴナル細線ネットワークのPL法およびCL法による評価の結果、対称性のよい正六角形構造を形成していることがわかる。加工パターンの縮小化によりさらなる細線の微細化・高密度化が期待できる。

今後の展望

現在、量子ナノデバイスを試作し、ナノスケールゲート電極の形成と表面パッシベーション技術、および周辺素子へのゲート誤動作問題の改善に取り組んでいる。表面不活性化により、選択成長による量子ナノ細線のPL特性が大幅に改善され、さらなる微細化に対応した表面制御技術の基礎となる結果を得ている。

このように、本研究課題では、選択的半導体結晶成長法による量子ナノ構造の高密度形成、別途進行中のナノスケールゲートの形成を含めて、個々の要素技術の開発を押し進めてきた。今後さらに研究が進展し要素技術が融合することにより、量子集積回路を実現するための量子集積プロセスが確立するものと思われる。